

保护环对 130nm 体硅 PMOS 抗单粒子瞬态特性的影响

曹 琛, 王俊峰, 岳红菊, 唐 威, 吴龙胜

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 基于 TCAD(Technology Computer Aided Design)仿真软件,通过对带有不同宽度保护环的 130nm 体硅 PMOS 器件进行单粒子辐照仿真,研究了保护环结构对深亚微米器件因单粒子辐照所产生的寄生双极效应。仿真结果表明,保护环结构能够大幅缩短器件 SET(Single Event Transient)电流的脉冲宽度,有效抑制寄生双极电荷收集,这种抑制作用随着保护环宽度增加而增强,最终趋于稳定。通过对加固器件的面积和抗辐射性能的折衷考虑,改进了保护环结构,并以宽度为 $0.38\mu\text{m}$ 的保护环为例,证明了改进后的结构能够在保证器件抗单粒子性能及电学特性,同时节省 29.4% 的面积。

关键词: 保护环;深亚微米;器件模拟;单粒子辐照;寄生双极效应

中图分类号: TN386.1

文献标识码: A

文章编号: 1000-7180(2012)12-0149-05

Impact of Guard-ring on Single Event Transient Resistance of 130nm Bulk PMOS Device

CAO Chen, WANG Jun-feng, YUE Hong-ju, TANG Wei, WU Long-sheng

(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: A 130nm bulk PMOSFET is generated and calibrated with TCAD(Technology Computer Aided Design) simulator. Single event simulation is used to investigate the impact of guard-ring with different widths on parasitic bipolar effect due to a direct hit ion strike in VDSM device. Simulation results demonstrate that guard-ring structure can significantly reduce SET(Single Event Transient) current pulse width, effectively suppress the parasitic bipolar charge collection, the capacity of this suppression is enhanced with the guard-ring becoming wider, and tends to be stabilized ultimately. In order to consider the area of hardened device and the irradiation resistance simultaneously, guard-ring structure is improved. As the guard-ring with width of $0.38\mu\text{m}$, it is proved that novel structure can maintain the single event resistance of the device with area dropping by 29.4%.

Key words: guard-ring; VDSM; device simulation; single event irradiation; parasitic bipolar effect

1 引言

封装材料中发射的低能量 α 粒子和宇宙空间的高能重离子(如银河宇宙射线)入射到集成电路的 MOS 器件时,会在器件内部淀积能量,并在敏感节点出现单粒子瞬态效应(SET-Single Event Transient)。此时,淀积在 MOS 器件阱区的电荷会改变阱区原有的电势,使源阱 PN 结正偏,导致源极向阱区注入少数载流子。这样就触发了 MOS 器件中固有的寄生双极晶体管结构,使单粒子电荷收集在原有

的漂移收集和扩散收集之外又增加了额外的电荷收集机制,大大增加了数字电路单粒子翻转(SEU-Single Event Upset)的概率。随着器件特征尺寸减小到深亚微米或超深亚微米级,寄生双极晶体管的基极也相应缩小,导致其电流增益增加^[1],这种寄生双极效应会更为显著,甚至成为电路 SEU 的首要因素^[2]。

1993 年 Woodruff 和 Rudeck 证明了单个体硅 MOS 器件在重离子轰击下会出现寄生双极导通现象^[3]。此后,人们提出了不少加固措施。其中最具代

表性的是 Black 和 D. Olson 等人提出的在器件周围的阱区表面做高掺杂的阱接触或保护环以加速阱区内过剩载流子泄放, 稳定阱电势, 使寄生双极管不易达到触发条件^[4-5]. 上述文献仅对阱接触结构做了大量的基础研究工作, 但如今超小尺寸 MOS 器件对寄生双极效应已变得极为敏感. 相比于阱接触, 保护环结构能够更为有效地抑制电荷收集, 也必将成为深亚微米器件的加固趋势^[5].

本文结合某主流晶圆代工线的 130nm PMOS 器件, 利用 TCAD 辐射仿真平台, 研究了保护环结构对深亚微米器件因单粒子辐照所产生的寄生双极电荷收集影响, 提出不等宽保护环结构.

2 器件结构与仿真条件

研究表明, 寄生双极效应对 N 阱 PMOS 器件的影响要比 P 阱 NMOS 器件更加显著^[6]. 因此本文参考某主流晶圆代工线的 130nm 集约模型文件, 利用 Synopsys 公司的 TCAD-SDE 工具构造了沟道长度为 $1\mu\text{m}$, 宽度为 130nm 的三维 PMOS 器件. 通过调整轻掺杂漏区结深(LDD), 阈值电压注入(V_T)以及源漏结深等参数, 对其进行工艺校准. 校准后的器件外形如图 1 所示.

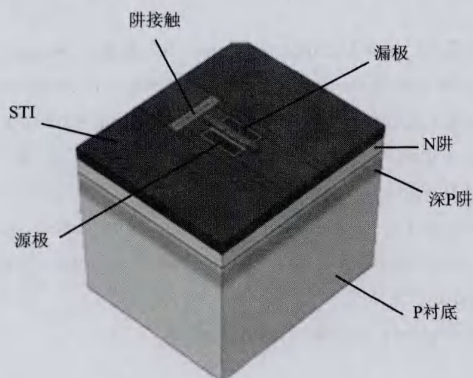


图 1 130nm 三维 PMOS 器件

图 2 给出了校准后的器件模型电学特性与 SPICE 模拟的比较结果. 可以看出两者阈值电压曲线相吻合, 而 TCAD 仿真得到的饱和电流要稍小于 SPICE 模拟结果, 这主要是在 TCAD 仿真中没有考虑栅极的隧穿电流, 而在深亚微米工艺下, 这种隧穿电流将增大晶体管的驱动电流强度^[7].

图 3 给出了加 N^+ 保护环后的 PMOS 模型结构. 根据某主流晶圆代工线的 130nm 设计规则, 得到保护环有源区的最小宽度为 $0.15\mu\text{m}$. 因此为了研究保护环宽度对电荷收集的影响, 本文分别构造

了保护环宽度为 $0.15\mu\text{m}$ 、 $0.20\mu\text{m}$ 、 $0.28\mu\text{m}$ 、 $0.38\mu\text{m}$ 、 $0.48\mu\text{m}$ 和 $0.58\mu\text{m}$ 的六个 PMOS 器件, 命名为 $D_1 \sim D_6$, 在保护环一边加接触孔以接入偏置.

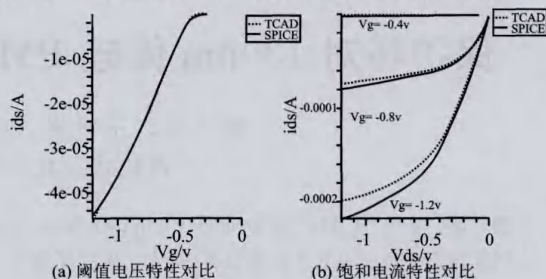


图 2 TCAD 与 SPICE 仿真器件电学特性对比

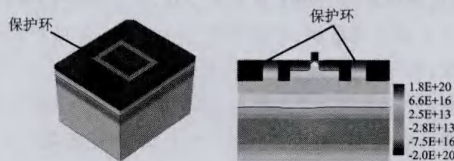


图 3 加保护环的 PMOS 器件三维结构及二维剖面

本文采用 TCAD 工具中自带的重离子 (Heavy Ion) 模型对上述器件结构进行三维器件级单粒子效应仿真. 重离子于 50ps 时刻沿垂直方向射入器件的漏极, 其轨迹被近似建模为一个圆柱体, 入射半径为 $0.1\mu\text{m}$, 深度为 $2\mu\text{m}$, 并参考宇宙射线粒子在半导体材料内能够淀积的最大能量^[6], 将重离子 LET (Linear Energy Transfer) 值设置为 $0.4\text{pc}/\mu\text{m}$ ($38.8\text{Mev} \cdot \text{mg}^{-1} \cdot \text{cm}^{-2}$) (见图 4). 在仿真中, 所有 PMOS 器件栅极和保护环接高电位以保证器件处于关态, 将漏阱 PN 结置为反偏, 使漏端对单粒子效应最敏感. 源极偏置分为接高电位和接地两种情况, 源极接地相当于将寄生双极晶体管的发射极接地, 导致其发射结很难正偏, 这样就限制了寄生双极的导通^[5], 因此在单粒子电荷收集过程中就少了寄生双极收集的一部分. 通过比较两种源极偏置情况下, 器件漏极分别收集到的电荷量 Q 和 Q_0 就能够评估寄生双极效应对电荷收集的影响. 将 Q 与 Q_0 的比值定义为寄生双极增强因子 β , β 的大小直接反应了寄生双极导通的强弱.

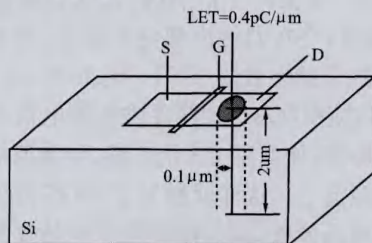


图 4 仿真所用的重离子模型示意图

3 结果与讨论

3.1 保护环结构及其宽度对单粒子电荷收集的影响

根据上述器件结构构造与仿真环境的构建,基于 TCAD-INSPECT 工具,对各种器件的仿真结果进行了统计与分析。图 5 给出了源电极接高电位的情况下, $D_1 \sim D_6$ 六个带保护环 PMOS 器件以及无保护环器件的漏极 SET 电流波形对比。可以看出,保护环器件的漏极 SET 电流波形对比。可以看出,它们的 SET 电流脉冲峰值并没有明显差别。说明在初始阶段,重离子的注入电离出大量电子—空穴对,空穴受漏阱结空间电荷区的强电场作用,漂移至漏电极,漏斗效应加剧了这一过程,使 SET 电流瞬间达到峰值。此时阱区电势还没有开始改变,源阱 PN 结只存在自建电场,因此寄生双极晶体管处于截止状态,保护环并没有对 SET 电流产生影响。

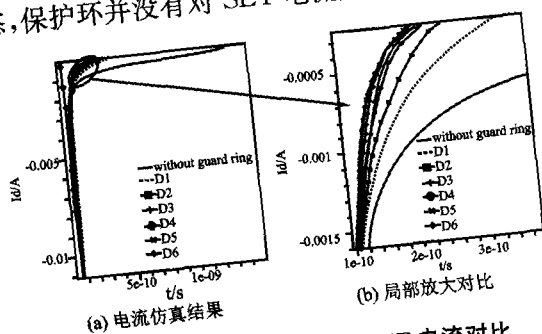


图 5 各种 PMOS 器件漏极 SET 电流对比

在 SET 脉冲恢复阶段,图 5 显示了没有保护环的器件大约需要 1.4 ns 的恢复时间,而带保护环的器件最多只需 0.5 ns 即可恢复,时间缩短近 3 倍。说明在此阶段,过剩电子的积累导致 N 阱电势降低,触发了寄生双极晶体管,产生由源阱结达到正偏,触发了寄生双极晶体管,产生由源极通过沟道注入漏极的反向电流,这种由寄生双极管导通引起的注入电流大大延长了 SET 电流脉冲的恢复时间^[1],所以寄生双极效应对数字电路的影响主要体现在 SET 脉冲宽度变宽。而保护环可以加速阱内过剩电子的泄放,使寄生双极管难以达到触发条件,从而抑制了寄生双极导通现象,但并不会完全消除。通过对 SET 脉冲尾部局部放大可以看出(图 5(b)所示),电流脉冲恢复速度由 D_1 到 D_6 依次加快,说明保护环的宽度越宽,对寄生双极导通的抑制作用越强。

将上述 SET 电流曲线对时间积分可以得到每种器件漏端的电荷收集量。同时,对器件源电极接地所得到的仿真结果也做相同处理,得到器件漏端没有寄生双极增强情况下的电荷收集量。通过计算,

得出每种器件在单粒子电荷收集过程中的寄生双极增强因子 β 值(见表 1)。由表 1 看出,带有保护环的六种器件 β 值最大为 2.12,而无保护环器件达到了 5.14,可见保护环对寄生双极电荷收集的抑制效果非常明显。

表 1 各种 PMOS 器件寄生双极电荷收集量对比

器件编号	D_1	D_2	D_3	D_4	D_5	D_6	无保护环器件
参数							
$Q(fC)$	407	352.4	326.3	324.4	320.3	319.1	834.9
$Q_0(fC)$	191.7	197.4	212.3	228.3	235.3	236.1	162.5
β	2.12	1.79	1.54	1.42	1.36	1.35	5.14

由表 1 还可以看到器件 $D_1 \sim D_4$ 的 β 值减幅较大,而 D_5 、 D_6 则相对稳定,图 6 标明了这种趋势。此现象主要是由于在阱区电子的泄放路径上存在着两种电阻:一是沿阱分布的横向阱电阻 R_1 ;二是由阱区到保护环高掺杂底部的阱接触电阻 R_2 。阱区过剩电子的泄放速度主要取决于这两种电阻的阻值。图 7 给出了寄生双极管的等效电路图。随着保护环宽度增加, R_2 减小, R_1 不变。当保护环宽度增加到一定程度时, R_2 相对于 R_1 可以忽略不计($R_2 \ll R_1$),此程度时,过剩电子的泄放速度仅由 R_1 决定,因此若再增加保护环宽度,阱区电子的泄放速度将基本保持不变,保护环对寄生双极的抑制能力也达到了最大限度,从而导致上述 β 值趋于稳定。对于 $130\text{nm} \times 1\mu\text{m}$ 的 PMOS 器件,当所加保护环的宽度达到 $0.5\mu\text{m}$ 左右时,其能够最大限度抑制 $\text{LET} = 38.8 \text{ MeV} \cdot \text{mg}^{-1} \cdot \text{cm}^{-2}$ 的重离子入射引起的寄生双极电荷收集。

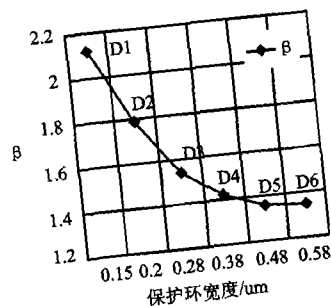


图 6 六种带保护环器件 β 值变化趋势

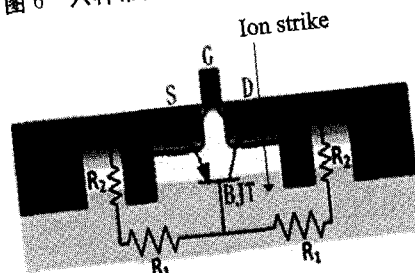


图 7 寄生双极管的等效电路图

3.2 不等宽保护环结构

保护环结构的最大优势是能够抑制寄生双极效应,但同时会给单个器件带来面积损失. $0.38\mu\text{m}$ 宽的保护环会造成 PMOS 器件面积增加 1.1 倍. 为了折衷考虑器件面积和抗辐射效果,本文对保护环的结构进行了改进. 以 $0.38\mu\text{m}$ 宽的保护环为例,把没有接触孔的三个边的宽度调整到设计规则所允许的最小宽度,即 $0.15\mu\text{m}$,另外一边由于接触孔的需要宽度保持不变. 这样就构造出了如图 8 所示的不等宽保护环结构.

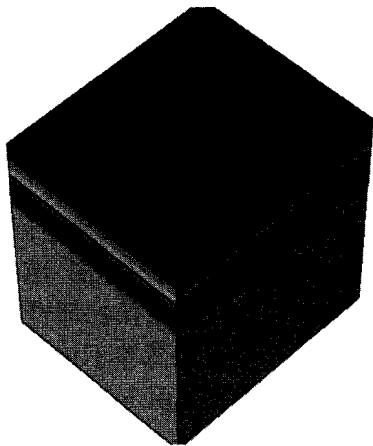


图 8 不等宽保护环结构

通过相同的单粒子仿真得到其漏极电荷收集量. 图 9 给出了等宽与不等宽两种保护环结构对 PMOS 管漏极电荷收集的影响. 可以看出不等宽保护环器件收集的电荷量并没有增加很多. 通过计算,得到其 β 值只比等宽保护环器件增加了 5.2%,但是面积却减少了 29.4%. 可以看出经过保护环结构的改进,器件能够在基本不影响抗辐射性能的同时节约面积,这主要是由于 N 阱内的过剩电子通过高

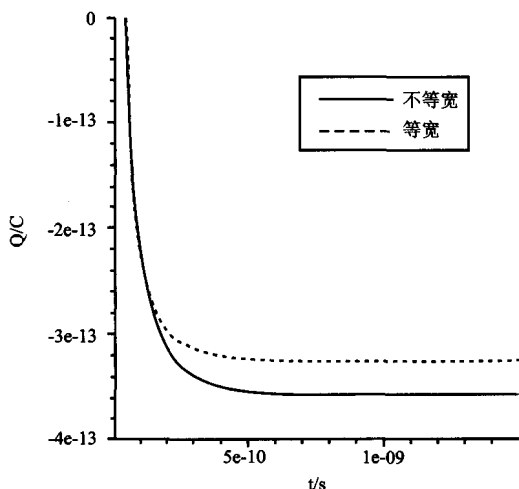


图 9 两种结构保护环器件漏极收集电荷量对比

掺杂的低阻通道后,最终由接触孔泄放,因此这些电子的泄放速度在很大程度上取决于接触孔区的保护环宽度,而没有接触孔的高掺杂通道相当于仅起了“引流”的作用. 因此若只给保护环一边加接触孔,则相应地减小其他三个“引流”边的宽度,并不会对电荷的泄放产生很大影响,也不会导致寄生双极收集的电荷量大幅增加.

图 10 给出了带有不等宽保护环的器件结构与原始标准器件结构电学特性的对比,可以看出,新器件无论在阈值电压特性还是饱和电流特性方面,均与原始器件达到相当程度的吻合,说明不等宽保护环结构的引入并没有对器件的性能带来影响,符合设计要求.

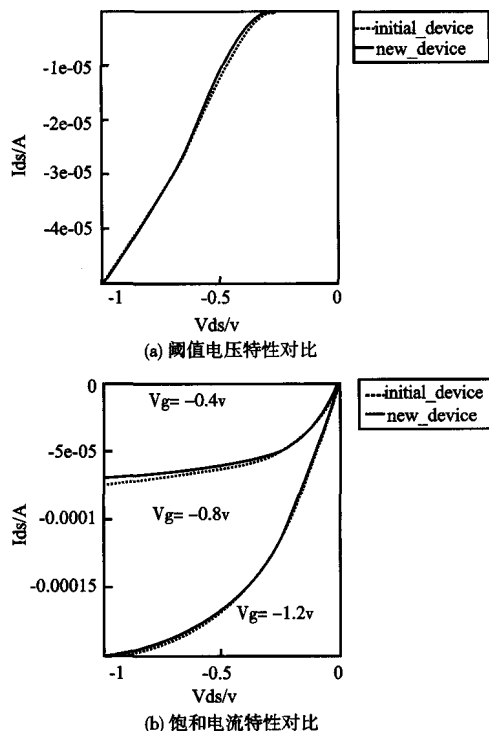


图 10 带有不等宽保护环的新型 PMOS 器件与原始器件的电学特性对比

4 结束语

本文基于 3D TCAD 辐射仿真平台,研究了保护环结构对 130nm PMOS 器件抗单粒子特性的影响,主要表现在保护环能够抑制因辐照所导致的寄生双极导通现象,并用寄生双极增强因子 β 评估了这种抑制作用. 研究结果表明,带有保护环的器件具有明显的抗寄生双极效应的作用,这一作用随着保护环宽度增加而增强,最终趋于稳定. 并提出了一种不等宽保护环结构,通过对宽度为 $0.38\mu\text{m}$ 的保护环仿真,得出改进后的结构能够在基本不影响器件

抗单粒子性能及电学特性的情况下节省 29.4% 的面积,对超大规模集成电路抗辐照加固设计以及深亚微米抗辐射标准单元库的版图设计有借鉴意义。

参考文献:

- [1] Dodd P E, Sexton F W, Hash G L, et al. Impact of technology trends on SEU in CMOS SRAMs [J]. IEEE Transactions on Nuclear Science, 1996, 43(6): 2797-2804.
- [2] Musseau O, Gardic F, Roche P, et al. Analysis of multiple bit upsets (MBU) in a CMOS SRAM [J]. IEEE Transactions on Nuclear Science, 1996, 43(6): 2879-2888.
- [3] Woodruff R L, Rudeck P J. Three-dimensional numerical simulation of single event upset of an SRAM cell [J]. IEEE Transactions on Nuclear Science, 1993, 40(6): 1795-1803.
- [4] Black J D, Sternberg A L, Alles M L, et al. HBD layout isolation techniques for multiple node charge collection mitigation [J]. IEEE Transactions on Nuclear Science, 2005, 52(6): 2536-2541.
- [5] Brian D Olson, Oluwale A Amusan, Samdeepan Dasgupta, et al. Analysis of parasitic PNP bipolar transistor mitigation using well contacts in 130nm and 90nm CMOS Technology [J]. IEEE Transactions on Nuclear Science, 2007, 54(4): 894-897.
- [6] Olson B D, Ball D R, Warren K W, et al. Simultaneous single event charge sharing and parasitic bipolar conduction in a highly-scaled SRAM design [J]. IEEE Transactions on Nuclear Science, 2005, 52(6): 2132-2136.
- [7] DasGupta S. Trends in single event pulse widths and pulse shapes in deep submicro CMOS [D]. Nashville: Vanderbilt University, 2007.

作者简介:

曹 琛 男,(1986—),硕士研究生.研究方向为 VLSI 抗辐射加固技术研究.